

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-225686

(43)Date of publication of application : 22.08.1995

(51)Int.Cl.

G06F 9/445

(21)Application number : 06-037831

(71)Applicant : NEC CORP

(22)Date of filing : 10.02.1994

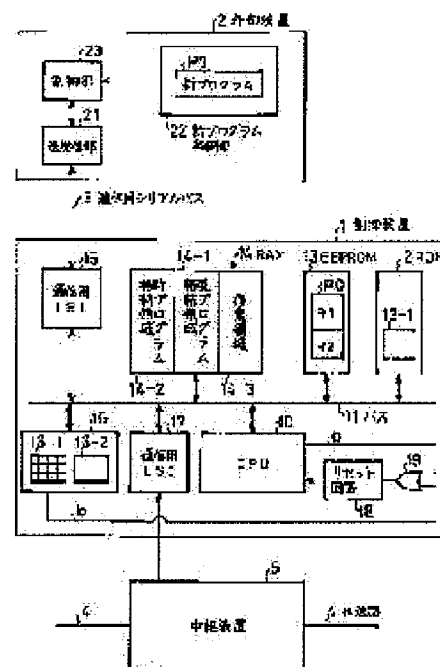
(72)Inventor : OZAKI HIROICHI

## (54) PROGRAM DOWN-LOADING SYSTEM

## (57)Abstract:

PURPOSE: To advance the down-loading control of a program to a controller without stopping the normal processing of the controller.

CONSTITUTION: A CPU 10 copies the program P0 for the normal processing and the down-loading control stored in an EEPROM 13 to the area 14-1 of a RAM 14 by the execution of an IPL program 12-1 in a ROM 12, executes the program on the area 14-1 and starts the normal processing. At the time of down-loading, by utilizing the free time of the normal processing and executing the down-loading control without stopping the normal processing, the CPU 10 down-loads the program from an external device 2 connected through an LSI 15 for communication and a serial bus 3, tentatively stores it all in the area 14-2 of the RAM 14, then copies it to the EEPROM 13 and resets the present CPU. Thus, the IPL program 12-1 is executed again and operations by the down-loaded program are started.



## LEGAL STATUS

[Date of request for examination] 27.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2812189

[Date of registration] 07.08.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-225686

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 9/445

7629-5B

G 0 6 F 9/06

4 2 0 H

審査請求 未請求 請求項の数5 F D (全9頁)

(21) 出願番号 特願平6-37831

(22) 出願日 平成6年(1994)2月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 尾崎 博一

東京都港区芝五丁目7番1号 日本電気株式会社社内

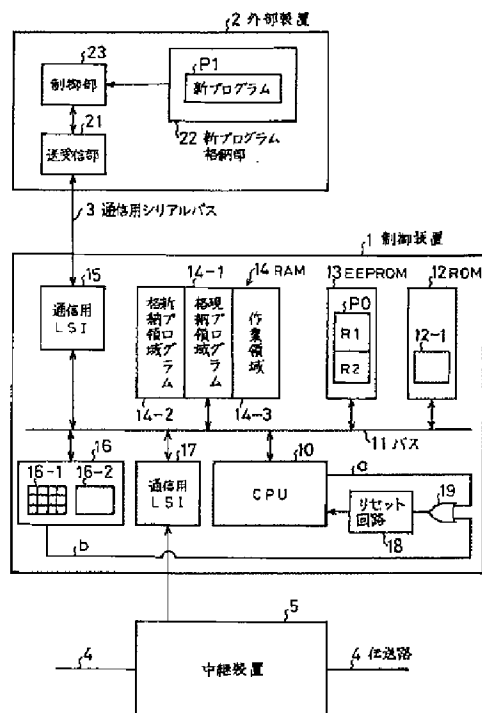
(74) 代理人 弁理士 境 廣巳

(54) 【発明の名称】 プログラムダウンロード方式

(57) 【要約】

【目的】 制御装置の通常処理を停止させずにその制御装置に対するプログラムのダウンロード制御を進めることができるようにする。

【構成】 CPU10は、ROM12中のIPLプログラム12-1の実行により、EEPROM13に記憶された通常処理およびダウンロード制御のためのプログラムP0をRAM14の領域14-1に複写し、この領域14-1上のプログラムを実行して通常処理を開始する。ダウンロード時、CPU10は通常処理を停止することなく、通常処理の空き時間を利用してダウンロード制御を実行することにより、通信用LSI15、シリアルバス3を通じて接続された外部装置2からプログラムをダウンロードし、一旦全てRAM14の領域14-2に格納後、EEPROM13へ複写し、自CPUをリセットする。これにより、再びIPLプログラム12-1が実行され、ダウンロードされたプログラムによる動作が開始される。



## 【特許請求の範囲】

【請求項 1】 CPUを含む制御装置に外部装置からプログラムをダウンロードする方式において、前記制御装置に、通常処理およびダウンロード制御を行うためのプログラムを記憶する、前記 CPUのバスに接続されたEEPROMと、現プログラム格納領域および新プログラム格納領域を有する、前記 CPUのバスに接続されたRAMと、前記EEPROMに記憶されたプログラムを前記現プログラム格納領域に複写した後、前記現プログラム格納領域上に複写されたプログラムの通常処理に制御を移すIPLプログラムを記憶する、前記 CPUのバスに接続されたROMと、前記 CPUのバスに接続されると共に通信媒体を通じて前記外部装置に接続された通信用回路とを備え、前記 CPUは、ダウンロード時、前記通常処理を停止することなく前記ダウンロード制御を実行して、前記通信用回路にて前記外部装置から受信したプログラム全てを一旦前記RAMの新プログラム格納領域に格納した後、該新プログラム格納領域から前記EEPROMに複写し、その後に自CPUをリセットすることを特徴とするプログラムダウンロード方式。

【請求項 2】 前記 CPUは、前記通常処理の空き時間に前記ダウンロード制御を実行することを特徴とする請求項 1記載のプログラムダウンロード方式。

【請求項 3】 前記外部装置から前記通信用回路へのプログラムの転送を、プログラムを複数のブロックに分割した個々のブロック単位で行い、且つ、前記 CPUは、前記通信用回路で 1つのブロックが受信される毎に、前記通常処理の空き時間にその受信されたブロックを前記新プログラム格納領域に書き込んで前記通常処理に戻ることを特徴とする請求項 2記載のプログラムダウンロード方式。

【請求項 4】 ダウンロードの開始を要求する操作部とダウンロードの異常終了および正常終了を表示する表示部とを有する操作盤を備え、前記 CPUは、前記操作部からのダウンロードの開始の要求に回答して、前記ダウンロード制御を開始し、前記通信用回路でプログラムの全てを正常に受信できなかったときに前記表示部にダウンロードが異常終了した旨を表示し、プログラムを全て正常に受信し且つ前記EEPROMへの複写が完了することより前記表示部にダウンロードが正常終了した旨を表示することを特徴とする請求項 3記載のプログラムダウンロード方式。

【請求項 5】 前記 CPUからリセット要求信号が出されたとき、およびリセット釦が操作されたとき、前記 CPUをリセットするリセット回路を備えることを特徴とする請求項 4記載のプログラムダウンロード方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、プログラムによって動作する制御装置に外部装置から新しいプログラムをダウンロードする方式に関する。

## 【0002】

【従来の技術】CPUを含む制御装置で実行すべきプログラムを、外部の装置からダウンロードしたプログラムで置換可能とするために、制御装置内にEEPROM (Electrical Erasable Programmable Read Only Memory)を設け、このEEPROMに現プログラムを記憶しておくと共に現プログラムをこのEEPROM上で直接に実行する構成とし、プログラムのダウンロード時には、EEPROMとは別のメモリであるROMに記憶されたプログラムの制御の下に、外部装置からダウンロードされてきたプログラムをEEPROMとは別の作業領域用メモリ (RAM) に一時格納した後、この新プログラムでEEPROMの現プログラムを書き替えるようにしたプログラムダウンロード方式が提案されている (特開昭 62-60001号公報)。

## 【0003】

【発明が解決しようとする課題】このようなプログラムダウンロード方式によれば、ダウンロードされてきたプログラムで直接EEPROMを書き替えずにダウンロードされてきたプログラムを一旦RAMに格納し、次いでEEPROMに書き込むため、外部装置からのプログラムの転送が途中で異常終了した場合や転送途中で制御装置自体に異常が発生した場合、EEPROM中のプログラムが不完全となったり、破壊されることが防止できる。

【0004】しかしながら、ダウンロードによる書き替え対象となる現プログラムをEEPROM上で実行しているため、現プログラムの実行中にダウンロード処理を行って内容を変更すると誤動作を生じることになり、その為、ダウンロード処理は現プログラムを停止させた状態で実行する必要がある。従って、その間は制御装置の通常処理が停止してしまうという問題点があった。

【0005】そこで本発明の目的は、通常処理を続けた状態で新プログラムのダウンロード処理を進めることができ、且つ、ダウンロード終了時点で速やかにダウンロード後の新プログラムで動作を開始することができるようにしたプログラムダウンロード方式を提供することにある。

## 【0006】

【課題を解決するための手段】本発明は上記の目的を達成するために、CPUを含む制御装置に外部装置からプログラムをダウンロードする方式において、前記制御装置に、通常処理およびダウンロード制御を行うためのプログラムを記憶する、前記 CPUのバスに接続されたEEPROMと、現プログラム格納領域および新プログラ

ム格納領域を有する、前記CPUのバスに接続されたRAMと、前記EEPROMに記憶されたプログラムを前記現プログラム格納領域に複写した後、前記現プログラム格納領域上に複写されたプログラムの通常処理に制御を移すIPLプログラムを記憶する、前記CPUのバスに接続されたROMと、前記CPUのバスに接続されると共に通信媒体を通じて前記外部装置に接続された通信回路とを備え、前記CPUは、ダウンロード時、前記通常処理を停止することなく前記ダウンロード制御を実行して、前記通信用回路にて前記外部装置から受信したプログラム全てを一旦前記RAMの新プログラム格納領域に格納した後、該新プログラム格納領域から前記EEPROMに複写し、その後自CPUをリセットするようにしている。

【0007】また、本発明は以下のような種々の目的をも達成し得る構成を採用している。

【0008】ダウンロード処理による通常処理への影響を軽減することを目的として、CPUは、通常処理の空き時間にダウンロード制御を実行するようにしている。

【0009】小間切れの空き時間を有効に活用し、通常処理への影響をより軽減することを目的として、外部装置から通信用回路へのプログラムの転送を、プログラムを複数のブロックに分割した個々のブロック単位で行い、且つ、CPUは、通信用回路で1つのブロックが受信される毎に、通常処理の空き時間にその受信されたブロックを新プログラム格納領域に書き込んで通常処理に戻るようにしている。

【0010】操作者がダウンロードの開始を操作盤の操作で行えるようにすると共にダウンロードが正常終了したか、異常終了したかを確認できるようにすることを目的として、ダウンロードの開始を要求する操作部とダウンロードの異常終了および正常終了を表示する表示部とを有する操作盤を備え、CPUは、操作部からのダウンロードの開始の要求にตอบสนองして、ダウンロード制御を開始し、通信用回路でプログラムの全てを正常に受信できなかったときに表示部にダウンロードが異常終了した旨を表示し、プログラムを全て正常に受信し且つEEPROMへの複写が完了することより表示部にダウンロードが正常終了した旨を表示するようにしている。

【0011】ダウンロード処理中に制御装置自体に異常が発生した場合に、装置をダウンロード前の元の状態に復帰し得るようにすることを目的として、操作者によってリセット鉤が操作されたとき、CPUをリセットするリセット回路を備えている。

【0012】

【作用】本発明のプログラムダウンロード方式においては、制御装置に電源を投入するか、或いはリセット鉤を操作すると、CPUが、ROMに記憶されたIPLプログラムを実行することにより、EEPROMに記憶された通常処理およびダウンロード制御を行うためのプロ

ラムをRAMの現プログラム格納領域に複写し、この現プログラム格納領域上でプログラムの通常処理を開始する。

【0013】その後、操作盤等からダウンロードの要求があると、CPUが、通常処理を停止することなく、通常処理の空き時間を利用してダウンロード制御を実行することにより、通信媒体を通じて接続された外部装置からのダウンロードプログラムを通信用回路で受信して一旦すべてRAMの新プログラム格納領域に格納し、次いでこの新プログラム格納領域からEEPROMへ複写後、自CPUをリセットする。これにより、再びIPLプログラムが実行され、ダウンロードされたプログラムによる動作が可能となる。

【0014】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0015】図1は本発明の一実施例のブロック図であり、1は制御装置、2は外部装置、3は通信用シリアルバス、4は伝送路、5は中継装置である。

【0016】中継装置5は、一方の伝送路4から受信した音声信号等の信号を他方の伝送路4に送出する中継機として機能し、各種のハードウェアで構成されている。本実施例の制御装置1は、このような中継装置5の内部状態を周期的に収集して解析し、若し故障が発生していれば復旧処理等を実行する装置として、中継装置5に接続されている。

【0017】このような制御装置1では、一般に、中継装置5から収集すべき情報の種類、収集した情報の解析方法や復旧処理の内容等はプログラムで規定されているため、解析方法等の変更時にはプログラム自体の変更が必要となる。また、中継装置5は常時動作し続けているので、制御装置1による中継装置5の状態監視等も中断することは極力避けなければならないため、本実施例では、制御装置1のプログラムの変更を外部装置2から新たなプログラムをダウンロードすることで可能とし、且つ、ダウンロード処理中も制御装置1の本来の動作が停止しないようにしている。

【0018】以下、制御装置1および外部装置2の内部構成について詳述する。

【0019】制御装置1は、CPU10と、そのバス11に接続されたROM12、EEPROM13、RAM14、通信用LSI15、17および操作盤16と、電源投入時および自らの起動時にCPU10にリセットをかけるリセット回路18と、CPU10からリセット要求信号aが出力されたとき及び操作盤16からリセット要求信号bが出力されたときリセット回路18を起動するオアゲート19とを含んでいる。

【0020】EEPROM13には、通常処理のためのルーチンR1とダウンロード制御用のルーチンR2とを含むプログラムP0が記憶されている。RAM14は、

EEPROM13に記憶されたプログラムP0が展開される現プログラム格納領域14-1とダウンロードされてきた新プログラムを格納するための新プログラム格納領域14-2と通常処理時に使用される作業領域14-3とで構成されている。ROM12には、初期立上げ時にEEPROM13中のプログラムP0をRAM14の現プログラム格納領域14-1に複写した後、制御をこの現プログラム格納領域14-1上のプログラムP0のルーチンR1に移すIPLプログラム12-1が記憶されている。また、操作盤16には、リセット釦、ダウンロード開始釦等の種々の釦を備えた操作部16-1と、ダウンロードが正常終了した際に点灯されるダウンロード正常終了ランプやダウンロードが異常終了した際に点灯されるダウンロード異常終了ランプ等の種々のランプを備えた表示部16-2とが備えられている。

【0021】他方、外部装置2には、制御装置1と通信用シリアルバス3を通じてデータの送受信を行う送受信部21と、ダウンロードするプログラム（新プログラム）P1を記憶する新プログラム格納部22と、これらに接続された制御部23とを含んでいる。

【0022】図2および図3は制御装置1のCPU10で実行される現プログラムP0の処理の一例を示すフローチャート、図4は外部装置2と通信用シリアルバス3を通じて通信する通信用LSI15の処理の一例を示すフローチャート、図5は外部装置2の制御部23の処理の一例を示すフローチャートであり、以下、各図を参照して本実施例の動作を説明する。

【0023】図1において、制御装置1に電源が投入されるか、或いは電源投入中に操作盤16の操作部16-1におけるリセット釦が操作されると、リセット回路18によりCPU10にリセットがかけられ、CPU10は初期立上げのためにROM12に記憶されたIPLプログラム12-1を実行する。これにより、EEPROM13に記憶されている現プログラムP0がRAM14の現プログラム格納領域14-1に展開され、制御が現プログラム格納領域14-1上の現プログラムP0におけるルーチンR1に移り、ルーチンR1が実行される。

【0024】ルーチンR1の実行においては、図2に示すように、先ず装置内各部の初期化が行われた後（S1）、1回目の通常処理が開始される。即ち、通信用LSI17を通じて中継装置5から内部状態を読み出し（S2）、この読み出した内部状態を解析して故障診断を実施する（S3）。そして、故障が発生していない場合は（S4でNO）、CPU10内部の監視タイマを起動する（S6）。また、故障が発生していた場合は（S4でYES）、必要な復旧処理等を実行し（S5）、その後に監視タイマを起動する（S6）。

【0025】CPU10は或る間隔毎に中継装置5の故障診断を実施しているため、監視タイマを起動した後、それがタイムアップするまでの期間は、通常処理の空き

時間となる。そこで、本実施例では、その空き時間にダウンロード制御用のルーチンR2を実行する。

【0026】ルーチンR2においては、処理S11～S14において、操作盤16からダウンロード要求が発生しているか否か、通信用LSI15から受信ブロックの引き取り要求、受信終了通知、転送異常通知が出ているか否かを判別し、何れかの事象が生じていれば該当する処理を実行し、何れの事象も発生していない場合は、速やかにルーチンR1の処理S7に進んで、監視タイマのタイムアップを待ち、監視タイマがタイムアップした時点で処理S2に戻って再び中継装置5の故障診断を実施する。

【0027】さて、制御装置1で上述のような処理が実行されている最中に、操作者が操作盤16の操作部16-1のダウンロード開始釦を操作すると、操作盤16からCPU10に割り込みがかかり、CPU10の内部レジスタにダウンロード要求が発生したことが記憶される。

【0028】その後、CPU10の実行が進んで通常処理の空き時間が生じ、ルーチンR2の処理S11が実行されると、内部レジスタの内容からダウンロード要求が発生していることが認識され、処理S15において、通信用LSI15に対してダウンロードプログラムの受信要求が出される。そして、CPU10はルーチンR1の処理S7に戻り、通常処理を継続する。なお、内部レジスタ中の認識されたダウンロード要求は認識された時点でCPU10によって消去される。

【0029】通信用LSI15は、CPU10からダウンロードプログラムの受信が要求されると、図4に示す処理を開始し、先ず外部装置2に対して通信用シリアルバス3を通じてプログラムの送信を要求する（S31）。

【0030】プログラムの送信要求を送受信部21を介して受信した外部装置2の制御部23は、図5に示す処理を開始し、先ず、新プログラム格納部22に格納されている新プログラムP1の先頭から所定長の内容を1ブロックとして読み出し、パリティビット等のエラーチェックコードを付加して、送信部21から通信用シリアルバス3を通じて制御装置1に送信する（S51）。

【0031】通信用LSI15は、このブロックを図4の処理S32で受信すると、受信した内容は受信ブロックなので（S33でYES）、エラーチェックコードによるエラーチェックを実施し（S34）、エラーが無ければ（S35でYES）、CPU10に対して割り込みにより受信ブロックの引き取りを要求する（S36）。この割り込みにより、CPU10の内部レジスタに受信ブロックの引き取り要求が発生したことが記憶される。そして、通信用LSI15は、CPU10が受信ブロックを引き取り終えるのを待ち（S37）、受信ブロックが引き取られたら（S37でYES）、外部装置2に対

して次のブロックの送信を要求する(S38)。

【0032】他方、受信ブロックにエラーを検出した場合(S35でNO)、エラー発生回数が連続してN回を超えたか否かを判別し(S39)、超えていなければ

(S39でNO)、外部装置2に対してブロックの再送を要求する(S40)。また、N回以上であれば(S39でYES)、通信用シリアルバス3の障害等と判断して、CPU10に対して割り込みにより転送異常を通知する(S41)。この割り込みにより、CPU10の内部レジスタに転送異常が通知されていることが記録される。

【0033】外部装置2の制御部23は、最初のブロックの送信後、図5に示すように制御装置1から次ブロックの送信要求が送られてきたか否か、再送要求が送られてきたか否かを判定しており(S52、S53)、次ブロックの送信要求を受信したときは(S52でYES)、新プログラム格納部22の新プログラムから次の1ブロック分の所定長を読み出し(S54)、それにエラーチェックコードを付加して制御装置1に送信する

(S56)。但し、既に新プログラムP1の最後の部分まで送信し終えており、送信すべきブロックが存在しないときは(S55でYES)、送信の終了を制御装置1に通知し(S57)、処理を終了する。また、制御装置1から再送が要求された場合は(S53でYES)、前回送信した内容を制御装置1に再送する(S58)。

【0034】外部装置2から送信の終了が通知された場合、通信用LSI15は、そのことを図4の処理S33で判別し、CPU10に対して割り込みにより受信の終了を通知する(S42)。この割り込みにより、CPU10の内部レジスタに受信が終了した旨が記憶される。

【0035】さて、通信用LSI15に対してダウンロードプログラムの受信を要求したCPU10は、次回以降の通常処理の空き時間毎に図3のルーチンR2を実行するため、前述したようにして外部装置2から新プログラムP1の先頭部分の1ブロックが送信されて通信用LSI15で受信され、その引き取り要求が発生していると、それが処理S12で認識されることになり、CPU10は処理S16に進んで、バス11を介して通信用LSI15から受信ブロックを引き取り、それをRAM14の新プログラム格納領域14-2に書き込む。なお、内部レジスタ中の受信ブロックの引き取り要求はそれを認識した時点でCPU10により消去される。

【0036】そして、通信用LSI15は受信ブロックの引き取りが行われると、前述したように次のブロックの送信を外部装置2に要求し、再びブロックを受信すると、CPU10に引き取り要求を出すため、CPU10は次回以降のブロックを、通常処理の空き時間に順次に通信用LSI15から引き取ってRAM14の新プログラム格納領域14-2に格納する処理を行うことになる。

【0037】そして、通信用LSI15が外部装置2から送信終了の通知を受信したことによりCPU10に対して受信終了通知を発すると、CPU10は、そのことを図3の処理S13で認識し、新プログラム格納領域14-2に格納されている新プログラムをEEPROM13に転送し、元の現プログラムと置換する(S17)。そして、処理S18において操作盤16の表示部16-2におけるダウンロード正常終了ランプを点灯し、次いで、リセット要求信号aを出力する(S19)。

【0038】これにより、リセット回路18によってCPU10にリセットがかけられ、ROM12のIPLプログラム12-1が実行され、EEPROM13に記憶されたプログラム(これはダウンロードされたプログラムと置換されている)がRAM14の現プログラム格納領域14-1に展開されて、それが実行されることになる。

【0039】また、通信用シリアルバス3の障害等により新プログラムP1の何れかのブロックが正常に受信できなかったことから、前述したように通信用LSI15からCPU10に対して転送異常が通知されてきた場合、CPU10はそれを図3の処理S14で認識し、処理S20において、操作盤16の表示部16-2におけるダウンロード異常終了ランプを点灯させる(S20)。

【0040】操作者は、このダウンロード異常終了ランプが点灯することより、ダウンロードが異常終了したことを知ることができる。また、ダウンロード正常終了ランプが点灯することにより、ダウンロードが正常に終了したことを確認でき、何れのランプも点灯しない場合は、制御装置1自体に故障が発生していると判断することができる。このように制御装置1自体に故障が発生した場合、リセット鈕を操作してCPU10にリセットをかければ、EEPROM13に記憶されている元の現プログラムで制御装置1を復旧させることができる。

【0041】

【発明の効果】以上説明したように、本発明のプログラムダウンロード方式によれば、以下のような効果を得ることができる。

【0042】現プログラムの通常処理を続けた状態でプログラムのダウンロード制御を進めることができるため、制御装置本来の制御動作が停止しない。また、ダウンロード終了時点で自CPUをリセットするため、速やかにダウンロード後のプログラムで動作を開始することができる。

【0043】CPUは、通常処理の空き時間にダウンロード制御を実行するので、ダウンロード制御による通常処理への影響が軽減される。

【0044】外部装置から通信用回路へのプログラムの転送を、プログラムを複数のブロックに分割した個々のブロック単位で行うことで、転送1回当たりの処理量を

減らし、CPUは、通信用回路で1つのブロックが受信される毎に、通常処理の空き時間にその受信されたブロックを新プログラム格納領域に書き込んで通常処理に戻ることにより、小間切れの空き時間を有効に活用することができ、通常処理への影響をより軽減することができる。

【0045】ダウンロードが正常終了したか否かを表示する表示部を操作盤に備えているため、操作者はダウンロードの正常終了、異常終了を容易に確認できる。

【0046】ダウンロードが開始されたのに、表示部にダウンロードが正常に終了した旨も、異常終了した旨も表示されない場合、操作者は制御装置自体に異常が発生したと認識でき、このときリセット鈕を操作すれば、制御装置をダウンロード前の元の状態に速やかに復帰させることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】制御装置のCPUで実行される現プログラムの処理の一例の一部を示すフローチャートである。

【図3】制御装置のCPUで実行される現プログラムの処理の一例の残りの部分を示すフローチャートである。

【図4】外部装置と通信用シリアルバスを通じて通信する通信用LSIの処理の一例を示すフローチャートである。

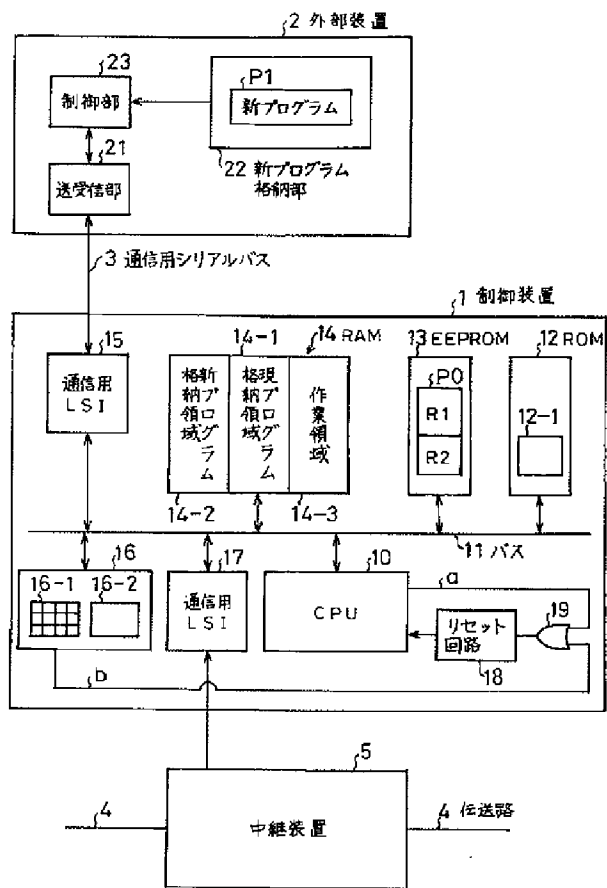
【図5】外部装置の制御部の処理の一例を示すフローチャートである。

#### 【符号の説明】

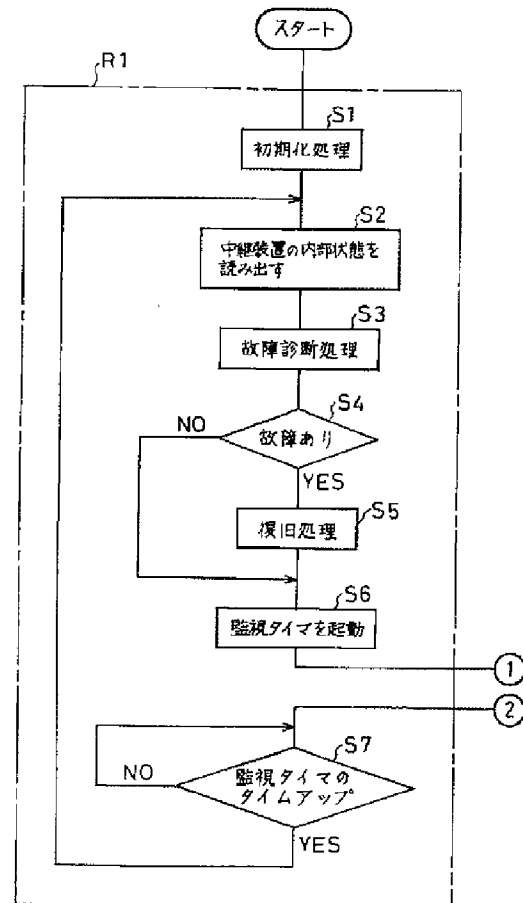
1…制御装置

10…CPU  
 11…CPUのバス  
 12…ROM  
 12-1…IPLプログラム  
 13…EEPROM  
 P0…現プログラム  
 R1…通常処理用のルーチン  
 R2…ダウンロード制御用のルーチン  
 14…RAM  
 14-1…現プログラム格納領域  
 14-2…新プログラム格納領域  
 14-3…作業領域  
 15…通信用LSI  
 16…操作盤  
 16-1…操作部  
 16-2…表示部  
 17…通信用LSI  
 18…リセット回路  
 19…オアゲート  
 20 2…外部装置  
 21…送受信部  
 22…新プログラム格納部  
 P1…新プログラム  
 23…制御部  
 3…通信用シリアルバス  
 4…伝送路  
 5…中継装置

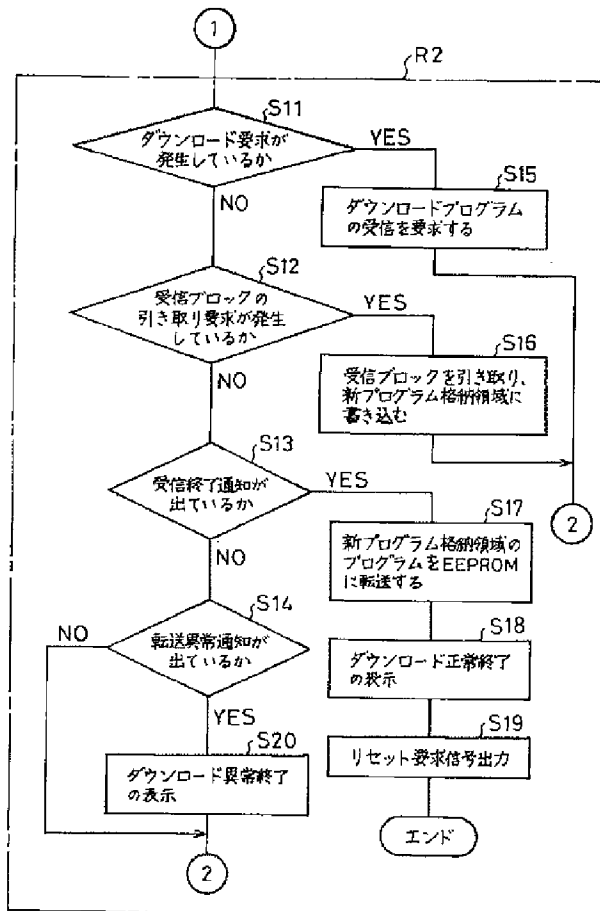
【図1】



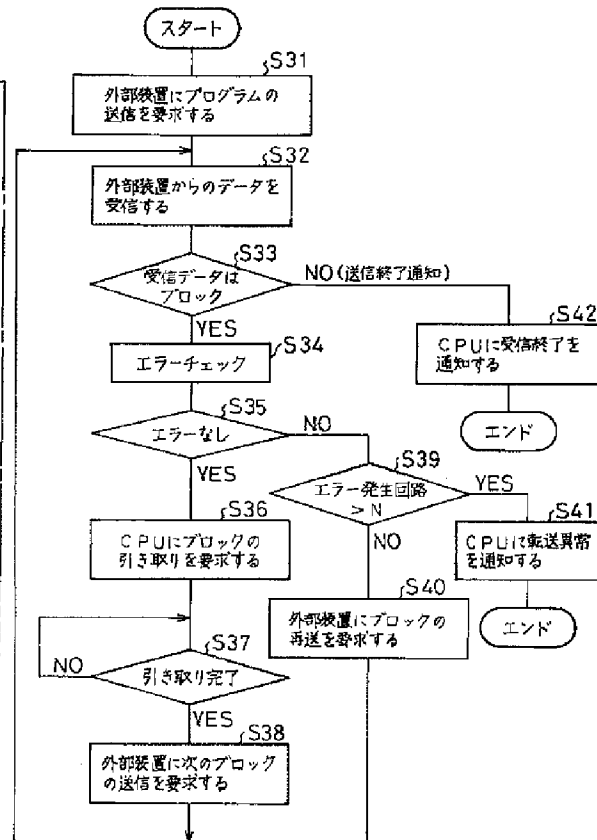
【図2】



【図 3】



【図 4】



【図5】

